

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 8 月 25 日 (25.08.2005)

PCT

(10) 国際公開番号  
WO 2005/078780 A1(51) 国際特許分類: H01L 21/203, C23C  
14/54, C30B 23/08, 29/40

(21) 国際出願番号: PCT/JP2005/002222

(22) 国際出願日: 2005 年 2 月 15 日 (15.02.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2004-039177 2004 年 2 月 17 日 (17.02.2004) JP(71) 出願人 (米国を除く全ての指定国について): 株式会社  
日鉱マテリアルズ (NIKKO MATERIALS CO., LTD.)  
[JP/JP]; 〒1058407 東京都港区虎ノ門二丁目 10 番  
1 号 Tokyo (JP).

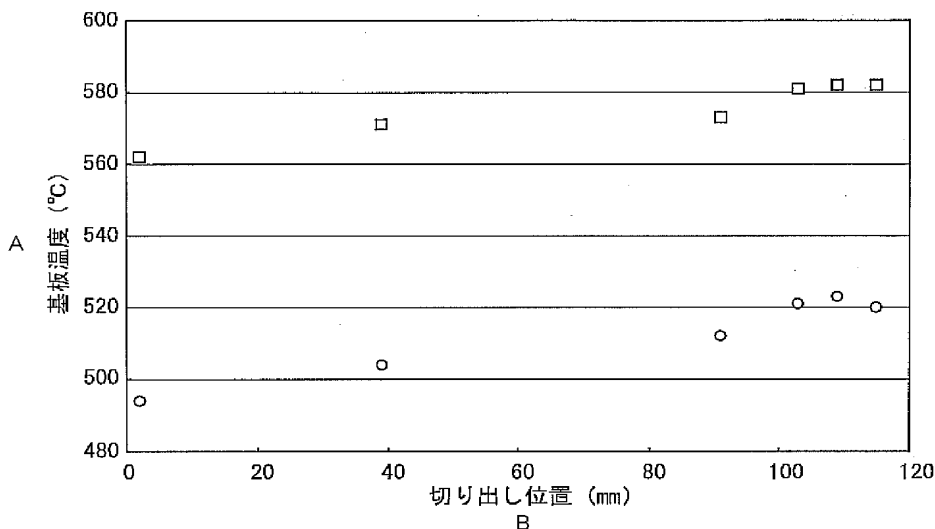
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 中村 正志 (NAKA-  
MURA, Masashi) [JP/JP]; 〒3358502 埼玉県戸田市新曾南 3 丁目 17 番 35 号 株式会社日鉱マテリアル  
ズ 戸田工場内 Saitama (JP). 太田 優 (OOTA, Suguru)  
[JP/JP]; 〒3358502 埼玉県戸田市新曾南 3 丁目 17 番  
35 号 株式会社日鉱マテリアルズ 戸田工場内 Saitama  
(JP). 平野 立一 (HIRANO, Ryuichi) [JP/JP]; 〒3191535  
茨城県北茨城市華川町臼場 187-4 株式会社日鉱  
マテリアルズ 磯原工場内 Ibaraki (JP).(74) 代理人: 荒船 博司 (ARAFUNE, Hiroshi); 〒1620832  
東京都新宿区岩戸町 18 番地 日交神楽坂ビル 5 階  
Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,  
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: VAPOR-PHASE DEPOSITION METHOD

(54) 発明の名称: 気相成長方法

A SUBSTRATE TEMPERATURE (°C)  
B DICING POSITION (mm)

(57) Abstract: A vapor-phase deposition method for growing an epitaxial layer of a compound semiconductor such as InAlAs on a semiconductor substrate of, e.g., Fe-doped InP with good reproducibility. In the vapor-phase deposition method, the resistivity of the semiconductor substrate at the room temperature is previously measured, the set temperature of the substrate is controlled according to the resistivity at the room temperature so that the actual surface temperature of the substrata may be a desired one independently of the resistivity of the semiconductor substrate, and the epitaxial layer is grown.

[続葉有]

WO 2005/078780 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護  
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,  
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,  
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,  
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(57) 要約: F e ドープ I n P 等の半導体基板上に I n A l A s 等の化合物半導体からなるエピタキシャル層を再現性よく成長させることのできる気相成長方法を提供する。半導体基板上にエピタキシャル層を成長させる気相成長方法において、予め室温における半導体基板の抵抗率を測定し、該半導体基板の抵抗率に関わらず実際の基板の表面温度が所望の温度となるように、前記室温における抵抗率に応じて基板の設定温度を制御し、エピタキシャル層を成長させるようにした。

## 明 細 書

### 気相成長方法

### 技術分野

- [0001] 本発明は、半導体基板上にエピタキシャル層を成長させる気相成長方法に関し、特に、エピタキシャル層の特性及び表面モロロジーを改善する技術に関する。

### 背景技術

- [0002] 従来、半導体素子の用途には、InP基板上にInGaAs層、AlGaAs層、InAlAs層、AlInGaAs層、InGaAsP層等の化合物半導体からなるエピタキシャル層を有機金属気相成長法(MOCVD)や分子線エピタキシー法(MBE)等により成長させた半導体素子が広く用いられている。
- [0003] しかし、従来技術により、InP基板上にInAlAs等の化合物半導体からなるエピタキシャル層を成長させた場合、エピタキシャル層表面に異常モロロジーが発生することがあった。この異常モロロジーは半導体素子の素子特性を低下させる要因の一つとなるので、エピタキシャル層表面のモロロジーの改善は重要な課題となっている。
- [0004] 例えば、本発明者等は、InP基板上にInGaAs層またはInGaAsP層と、InP層を順次エピタキシャル成長させる過程において、InP層表面にクロスハッチと呼ばれる異常モロロジーが生じるのを効果的に防止できる気相成長方法を提案している(特許文献1)。具体的には、裏面側の反りが $20\mu\text{m}$ 以下である半導体ウェハを基板として用いることにより、半導体基板の裏面と基板支持具との間の空隙を小さくし、基板裏面に原料ガスが回り込むのを抑制して、エピタキシャル層表面の異常モロロジーの発生を防止するようにしている。

特許文献1:特開2003-218033号公報

### 発明の開示

### 発明が解決しようとする課題

- [0005] しかしながら、上記先願技術により、InP基板上にInGaAs層、AlGaAs層、InAlAs層、AlInGaAs層等の化合物半導体からなるエピタキシャル層を成長させた場合でも、使用する基板によって、基板上に成長させるエピタキシャル層の特性や表面モロ

ロジーに異常が生じることが明らかとなった。

- [0006] 本発明は、上記問題点を解決するためになされたもので、FeドープInP等の半導体基板上にInAlAs等の化合物半導体からなるエピタキシャル層を再現性よく成長させることのできる気相成長方法を提供することを目的とする。

#### 課題を解決するための手段

- [0007] 以下に本発明を完成するに至った経緯について簡単に説明する。

まず、本発明者等は分子線エピタキシー（以下、MBEと略する）法によって様々な種類のFeドープInP基板上にInAlAs層を成長させた。具体的には、液体封止チョクラスキー法により作製したFeドープInP単結晶から複数のInPウェハを切り出し、基板として用いた。ここで、得られたInP単結晶の肩部直下の位置（胴体部開始位置）からの距離（mm）をそのInPウェハの切り出し位置とした。その結果、使用する基板によって、成長されるエピタキシャル層の表面モホロジーに異常が生じることが明らかとなった。つまり、同じInP単結晶から切り出された基板を使用しても、その切り出し位置によって成長されるエピタキシャル層に変化が生じることが分かった。

- [0008] 次に、この原因を探るため、切り出し位置の異なるFeドープInP基板を同一のMBE装置に導入した後、同一の設定温度で基板を加熱し、該基板の表面温度をパイロメーターによって直接測定した。その結果を図1に示す。図1には、使用した基板のFeドープInP単結晶からの切り出し位置と基板の表面温度との関係を示している。なお、図1中、□印は設定温度を550℃とした場合、○印は設定温度を600℃とした場合の測定結果である。

- [0009] 図1より、設定温度を同一としたにもかかわらず、基板の切り出し位置によって表面温度が非常に大きく変化することが分かった。特に、InP単結晶の上部（切り出し位置0～10mm）から切り出された基板を用いた場合と、下部（切り出し位置100～120mm）から切り出された基板を用いた場合とでは、基板の表面温度に20℃以上の差が生じていた。また、切り出し位置が100～120mmの基板を用いた場合には、基板の表面温度は設定温度よりも20～30℃程度高くなっていた。

- [0010] なお、上述した実験では、基板の表面温度は設定温度よりも高くなったが、使用するMBE装置によっては、基板の表面温度の方が設定温度よりも低くなることもある。

ただし、この場合も基板の切り出し位置によって表面温度が変化するという現象は同じである。

- [0011] 次に、同一のFeドーピングInP単結晶から切り出した基板について、抵抗率及びFe濃度を測定し、切り出し位置との関係を調査した。図2に抵抗率と切り出し位置との関係を、図3にFe濃度と切り出し位置との関係を示す。図2、3より、抵抗率及びFe濃度ともFeドーピングInP単結晶からの切り出し位置によって変化していることがわかる。すなわち、図2より、抵抗率は切り出し位置が大きくなるに伴い緩やかに増大し、切り出し位置が100mm以上ではほぼ一定となる。また、図3より、Fe濃度は切り出し位置が大きくなるに伴い緩やかに増大し、切り出し位置が100mm以上で著しく増大する。
- [0012] これらの測定結果と図1を比較すると、切り出し位置に対する変化の仕方が図1と図2ではほぼ同様であるため、基板の表面温度はFe濃度ではなく基板の抵抗率と相関関係があるといえる。これは、MBE法のように真空中において基板を加熱する場合には、輻射による影響が支配的になるため基板の抵抗率が基板の表面温度に影響すると考えられた。
- [0013] そこで、基板の抵抗率と表面温度の関係から、実際の基板の表面温度を所望の温度とするためには、事前に測定した基板の抵抗率に応じて設定温度を調整すればよく、これにより成長されるエピタキシャル層の品質を安定させることができるとの知見を得て、本発明を完成するに至った。
- [0014] すなわち、本発明は、半導体基板上にエピタキシャル層を成長させる気相成長方法において、予め半導体基板の室温における抵抗率を測定し、該半導体基板の抵抗率に関わらず実際の基板の表面温度が所望の温度となるように、前記室温における抵抗率に応じて基板の設定温度を制御し、エピタキシャル層を成長させることを特徴とする。また、基板の表面温度は、基板厚みや加熱方法によって変化するので、それぞれについて、半導体基板の抵抗率に対する設定温度と実際の基板表面温度との関係を把握しておけば、基板の表面温度を所望の温度とするための温度設定が容易となる。
- [0015] また、前記半導体基板はInPやFeドーピングInP等の化合物半導体を用いることができる。InP基板やFeドーピングInP基板を用いた場合、成長されるエピタキシャル層として

は、InPと比較的良好に格子整合しうるInGaAs、AlGaAs、InAlAs、AlInGaAs、InGaAsP等が考えられる。

また、上述した気相成長においては分子線エピタキシー法を利用することができる。

### 発明の効果

- [0016] 本発明によれば、FeドープInP等の半導体基板上にInAlAs層等の化合物半導体からなるエピタキシャル層を気相成長させる過程において、基板の抵抗率に起因して基板温度が変化することを考慮し、基板温度を適切に設定することで基板温度を所望の温度で一定とするようにしたので、品質の安定したエピタキシャル層を再現性よく成長させることができ、特性に優れた半導体素子を安定して製造することができるという効果を奏する。

### 図面の簡単な説明

- [0017] [図1]InP単結晶からの切り出し位置と基板の表面温度との関係を示すグラフである。  
[図2]InP単結晶からの切り出し位置と基板の抵抗率との関係を示すグラフである。  
[図3]InP単結晶からの切り出し位置と基板のFe濃度との関係を示すグラフである。  
[図4]実施の形態における気相成長に係る温度プロファイルである。  
[図5]InAlAs層の抵抗率の温度依存性を示すグラフである。  
[図6]InAlAs層のSiドープ効率の温度依存性を示すグラフである。

### 発明を実施するための最良の形態

- [0018] 以下、本発明の好適な実施の形態を図面に基づいて説明する。
- [0019] はじめに、液体封止チョクラルスキー (Liquid Encapsulated Czochralski; LEC) 法により、FeドープInP単結晶を(100)方向に成長させ、このFeドープInP単結晶を直径2インチの円柱状に加工し、厚さ350  $\mu$  mのFeドープInPウェハを切り出した。
- [0020] そして、これらの基板にMBE法によりアンドープInAlAs層を成長させた。図4は本実施形態に係る成長までの温度プロファイルである。図4に示すように、まず、InAlAs層を成長させる前に550℃で基板にサーマルクリーニング処理を施し、その後、設定温度を500℃として基板上にアンドープInAlAs層を1  $\mu$  mエピタキシャル成長させた。このとき、サーマルクリーニングの処理時間は5分とし、アンドープInAlAs層の

成長時間は60分とした。

- [0021] 本実施形態では、切り出し位置の異なる各種FeドーピングInP基板に対し、予め室温における基板の抵抗率を測定し、該基板の抵抗率に基づいて実際の基板温度が所望の温度で一定となるように設定温度を調整して、サーマルクリーニング処理及びアンドーピングInAlAs層の成長を行った。具体的には、室温における基板の抵抗率が $1 \times 10^8 \Omega \cdot \text{cm}$ 程度であるFeドーピングInP基板を用いる場合には、サーマルクリーニング処理時の基板の設定温度を530℃とし、アンドーピングInAlAs層成長時の基板の設定温度を480℃とすることで、基板温度を所望の温度に制御した。
- [0022] なお、この温度設定は本実施形態において有効であって、使用するMBE装置、基板厚み等によっては異なる設定温度となることはいうまでもない。つまり、基板の表面温度は、基板厚み、加熱方法によって変化するので、室温における半導体基板の抵抗率に対する設定温度と実際の基板表面温度との関係を把握しておけば、基板の表面温度を所望の温度とするための温度設定は容易に決定することができる。例えば、本実施形態では、基板温度を所望の温度(550℃又は500℃)とするために設定温度をそれぞれ20℃低く設定しているが、逆に使用するMBE装置によっては所望の温度よりも高く設定することもあり得る。
- [0023] 一方、比較のため、上記と同様の抵抗率を有する複数のFeドーピングInP基板を用いて、基板の設定温度を一定(サーマルクリーニング処理時:550℃、アンドーピングInAlAs成長時:500℃)とした条件で、サーマルクリーニング処理及びアンドーピングInAlAs層の成長を行った。
- [0024] 上述した方法により得られた半導体素子について、アンドーピングInAlAs層の表面モロロジーを観察した結果、室温における抵抗率に応じて設定温度を調整し、サーマルクリーニング処理時の実際の基板表面温度を550℃に保った場合は、アンドーピングInAlAs層表面に荒れが生じず、良好なエピタキシャル層を成長させることができた。
- [0025] これに対して、設定温度を550℃で一定とした場合は、アンドーピングInAlAs層表面に荒れを生じた。これは、サーマルクリーニング処理時に基板の表面温度が設定温度(550℃)よりも高くなりすぎたために、基板表面が荒れたことによるものと考えられる。特に、室温における抵抗率が $1 \times 10^8 \Omega \cdot \text{cm}$ 以上である基板を用いた場合には、

設定温度と実際の基板の表面温度との差が大きくなるため(図1, 2参照)、上述した現象が顕著に現れていた。

- [0026] また、得られた半導体素子についてアンドープInAlAs層の抵抗率を測定した結果、室温における抵抗率が $1 \times 10^8 \Omega \cdot \text{cm}$ である基板を用いて、その抵抗率に応じて設定温度を調整し、アンドープInAlAs層成長時の実際の基板表面温度を $500^\circ\text{C}$ に保った場合は、アンドープInAlAs層の抵抗率はすべて $1 \times 10^6 \Omega \cdot \text{cm}$ 以上となり、高抵抗率を実現できた。
- [0027] これに対して、設定温度を一定とした場合は上記実施形態では $1 \times 10^6 \Omega \cdot \text{cm}$ 以上となったアンドープInAlAs層の抵抗率が $5 \times 10^4 \Omega \cdot \text{cm}$ まで低下した。これは、アンドープInAlAs層の抵抗率の温度依存性によるものと考えられる。
- [0028] 例えば、本発明者等の実験によりInAlAs層の抵抗率は図5のような温度依存性を示すことが明らかになっている。図5から、InAlAs層は成長時の基板温度が $520^\circ\text{C}$ 以上になると著しく抵抗率が低下することがわかる。つまり、比較例では、アンドープInAlAs層成長時の基板の設定温度を $500^\circ\text{C}$ としたにもかかわらず、実際の基板温度は $520^\circ\text{C}$ 以上に上昇していたと考えられる。なお、図5に示すグラフは本実施形態の成長条件とは異なる成長条件により成長されたInAlAs層に関するものであるため、InAlAs層の抵抗率の絶対値については本実施形態と必ずしも一致していない。
- [0029] 次に、上述した基板と同様のFeドープInP基板を用いて、これらの基板にMBE法によりSiドープInAlAs層を成長させた。このとき、Siドープ量はドーピング濃度が $2 \times 10^{19} \text{cm}^{-3}$ となる量とし、成長条件は上述したアンドープInAlAsの場合と同様とした。また、比較のため、上記と同様の抵抗率を有する複数のFeドープInP基板を用いて、基板の設定温度を一定とした条件で、サーマルクリーニング処理及びSiドープInAlAs層の成長を行った。
- [0030] 得られた半導体素子について、SiドープInAlAs層のSiドーピング濃度(キャリア濃度)を測定した結果、室温における抵抗率が $1 \times 10^8 \Omega \cdot \text{cm}$ 以上である基板を用いて、その抵抗率に応じて設定温度を調整し、InAlAs層成長時の実際の基板表面温度を $500^\circ\text{C}$ に保った場合は、SiドープInAlAs層のSiドープ濃度はすべて $2 \times 10^{19} \text{cm}^{-3}$ を達成できた。

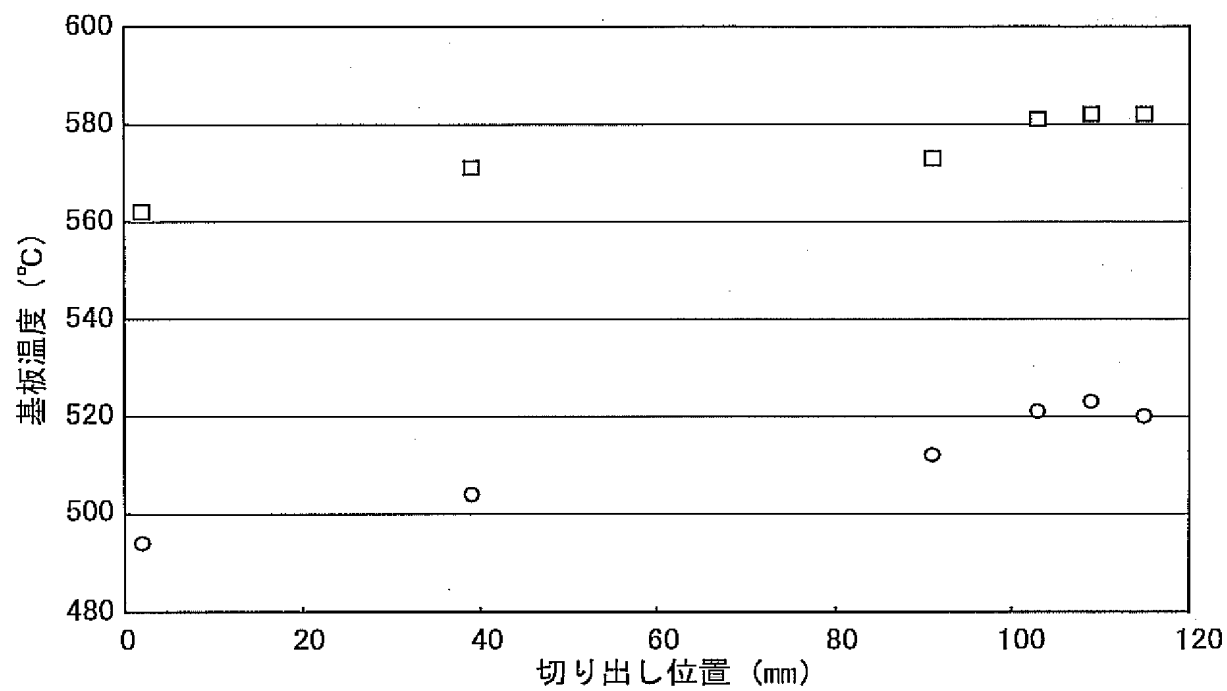


- [0031] これに対して、設定温度を一定とした場合はSiドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ まで低下した。これは、SiドーピングInAlAs層のSiドーピング効率の温度依存性によるものと考えられる。
- [0032] 例えば、本発明者等の実験によりInAlAs層のSiドーピング効率は図6のような温度依存性を示すことが明らかになっている。図6から、InAlAs層のSiドーピング濃度は成長時の基板温度が500℃以上になると低下することがわかる。つまり、比較例では、SiドーピングInAlAs層成長時の基板の設定温度を500℃としたにもかかわらず、実際の基板温度は500℃以上に上昇していたと考えられる。
- [0033] このように、FeドーピングInP基板上にアンドーピングInAlAsやSiドーピングInAlAsからなるエピタキシャル層を気相成長させる過程において、予め室温における半導体基板の抵抗率を測定し、該半導体基板の抵抗率に応じて基板の設定温度を制御することで、成長されるエピタキシャル層の表面モロロジー、抵抗率及びドーピング濃度を改善し、品質の安定したエピタキシャル層を再現性良く成長させることができた。
- [0034] 以上、本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で変更可能である。
- [0035] 例えば、本実施形態ではMBE法によってFeドーピングInP基板上にInAlAs層を成長させた例に関して説明したが、抵抗率に応じて変化する表面温度を一定になるように成長させる成長方法は、成長させるエピタキシャル層の種類によらず同様の効果が期待できる。また、使用する基板、成長方法によらず適用できることは上述した説明から明らかである。

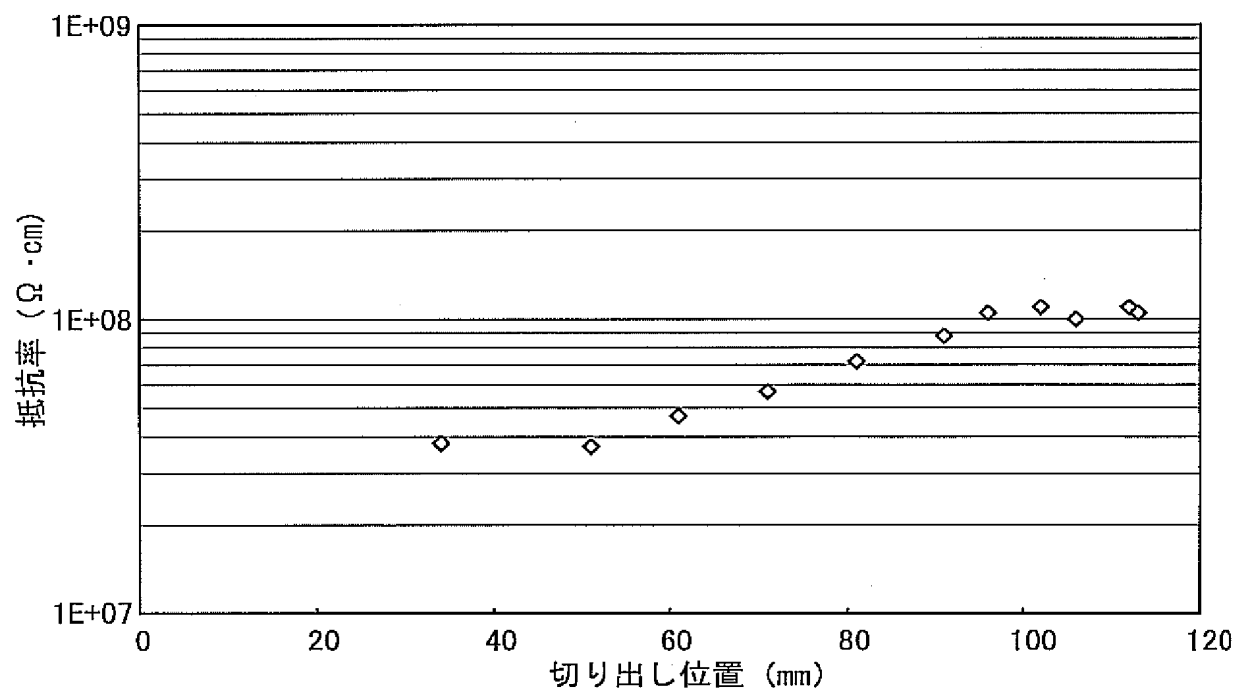
### 請求の範囲

- [1] 半導体基板上にエピタキシャル層を成長させる気相成長方法において、  
予め半導体基板の室温における抵抗率を測定し、該半導体基板の抵抗率に関わらず基板の表面温度が所望の温度となるように、前記室温における抵抗率に応じて基板の設定温度を制御し、エピタキシャル層を成長させることを特徴とする気相成長方法。
- [2] 前記半導体基板は化合物半導体であることを特徴とする請求項1に記載の気相成長方法。
- [3] 前記半導体基板はInP基板であることを特徴とする請求項2に記載の気相成長方法。
- [4] 前記半導体基板はFeドープInP基板であることを特徴とする請求項3に記載の気相成長方法。
- [5] 分子線エピタキシー法を利用してエピタキシャル層を成長させることを特徴とする請求項1から請求項4のいずれかに記載の気相成長方法。

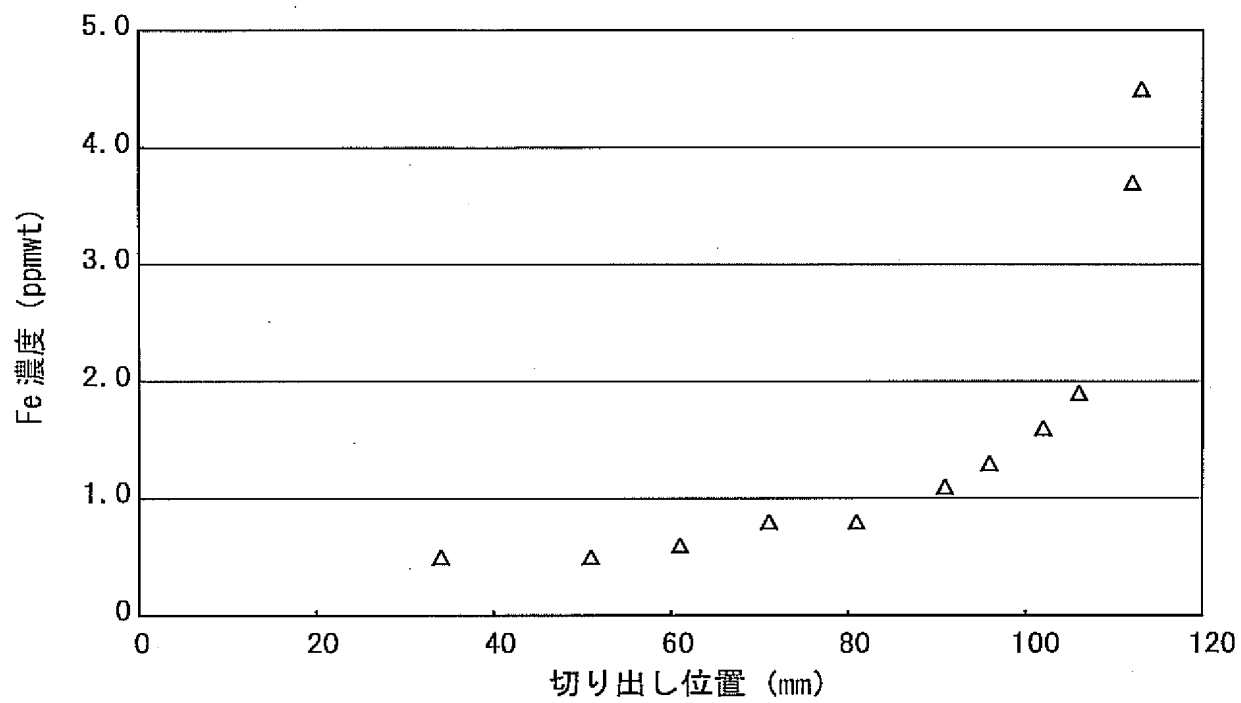
[図1]



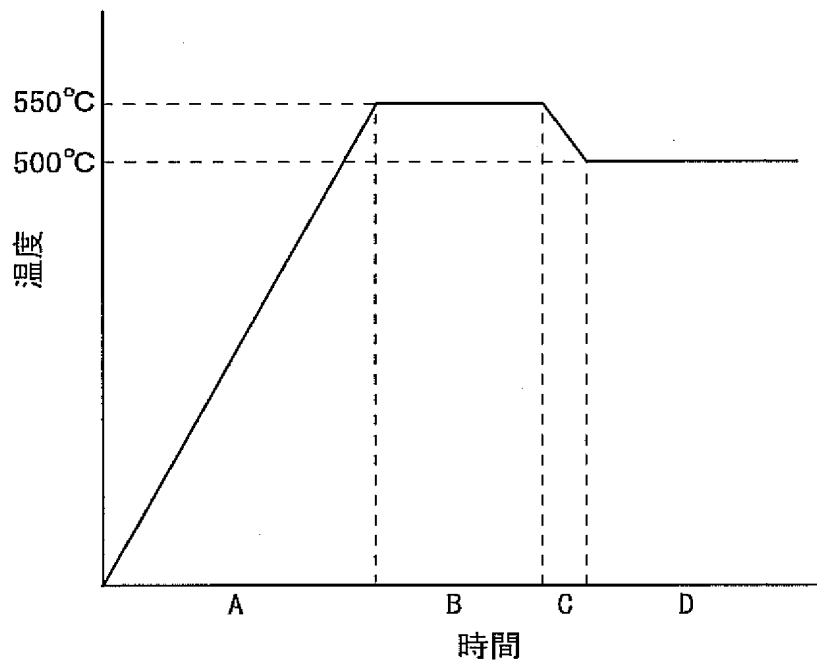
[図2]



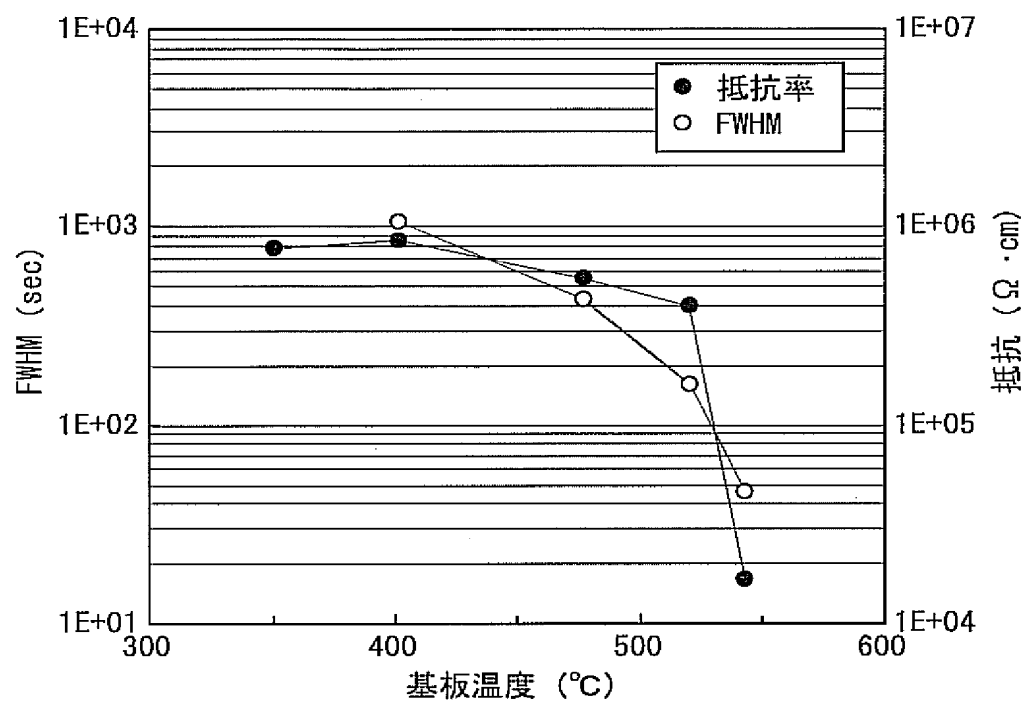
[図3]



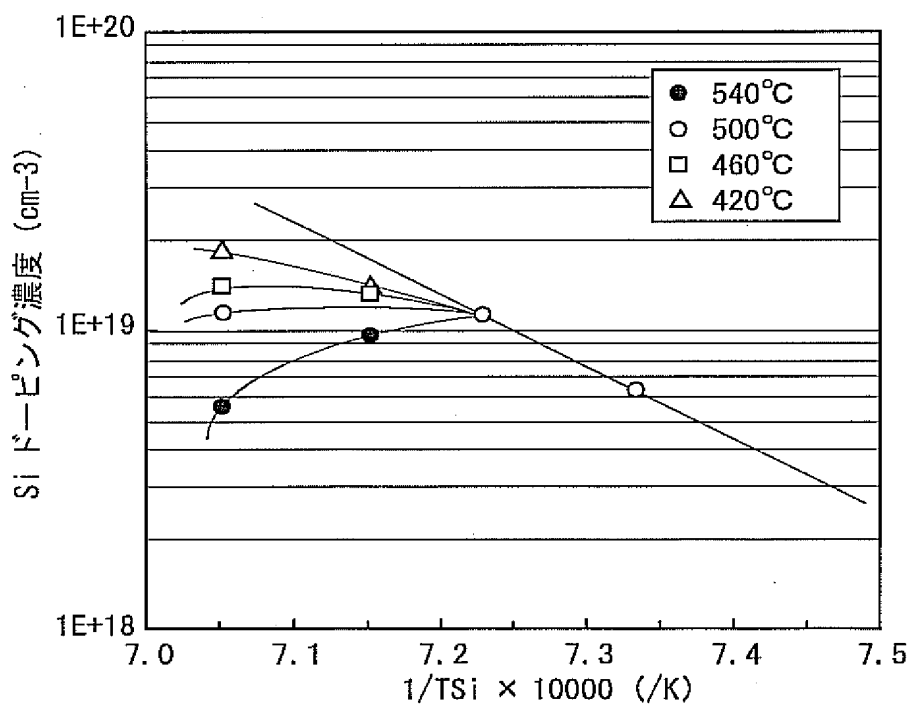
[図4]



[図5]



[図6]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002222

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L21/203, C23C14/54, C30B23/08, 29/40

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L21/203, C23C14/54, C30B23/08, 29/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-57849 U (Shimadzu Corp.), 30 July, 1993 (30.07.93), Par. Nos. [0002], [0008], [0012] to [0014] (Family: none)	1, 5 2-4
Y	JP 5-74820 A (Sharp Corp.), 26 March, 1993 (26.03.93), Par. No. [0021] (Family: none)	2-4
A	JP 2002-154896 A (Shin-Etsu Handotai Co., Ltd.), 28 May, 2002 (28.05.02), (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

18 April, 2005 (18.04.05)

Date of mailing of the international search report

10 May, 2005 (10.05.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/203, C23C14/54, C30B23/08, 29/40

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/203, C23C14/54, C30B23/08, 29/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 5-57849 U (株式会社島津製作所) 1993.07.30, 【0002】【0008】【0012】-【0014】 (ファミリーなし)	1,5 2-4
Y	JP 5-74820 A (シャープ株式会社) 1993.03.26, 【0021】 (ファミリーなし)	2-4
A	JP 2002-154896 A (信越半導体株式会社) 2002.05.28 (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

18.04.2005

国際調査報告の発送日

10.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

菅野 智子

電話番号 03-3581-1101 内線 3471

4R

9545